

# 南京理工大学

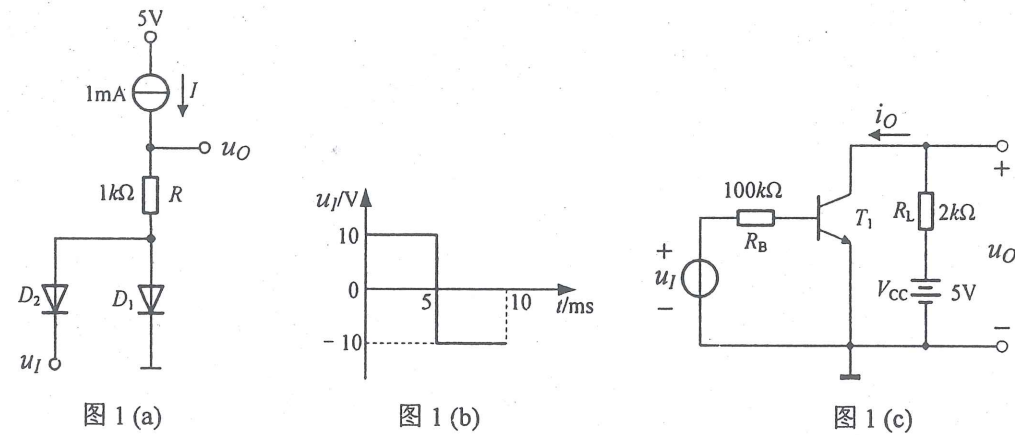
## 2019 年硕士学位研究生入学考试试题

科目代码: 823 科目名称: 电子技术基础 满分: 150 分

注意: ①认真阅读答题纸上的注意事项; ②所有答案必须写在答题纸上, 写在本试题纸或草稿纸上均无效; ③本试题纸须随答题纸一起装入试题袋中交回!

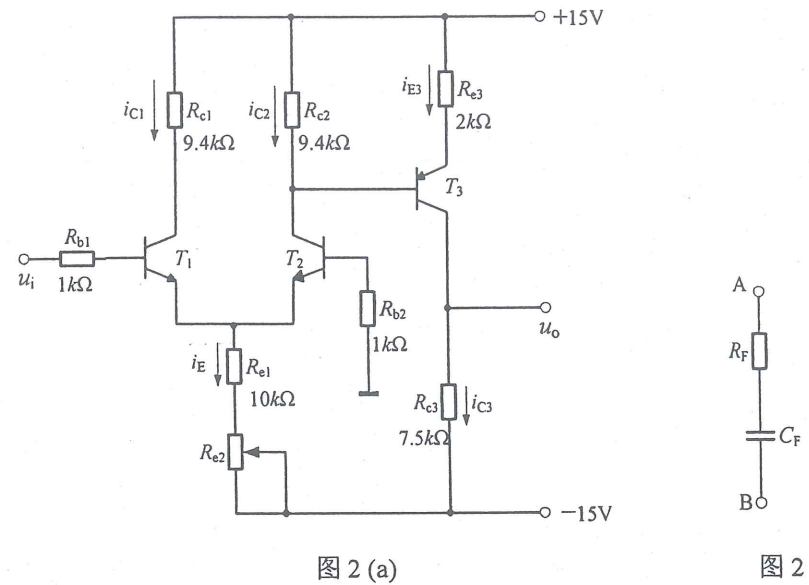
### 一、(共 25 分)

- 电路如图 1(a) 所示, 已知  $D_1$ 、 $D_2$  为理想二极管, 写出  $u_O$  和  $u_I$  之间的关系式, 如果  $u_I$  波形图如图 1(b) 所示, 画出  $u_O$  在  $0 \leq t \leq 10\text{ms}$  范围内的波形图。
- 电路如图 1(c) 所示, 已知  $u_I$  波形图如图 1(b) 所示, 三极管的电流放大系数  $\beta = 200$ , 饱和管压降  $U_{CES} = 0.2\text{V}$ , 画出  $i_O$ 、 $u_O$  在  $0 \leq t \leq 10\text{ms}$  范围内的波形图。

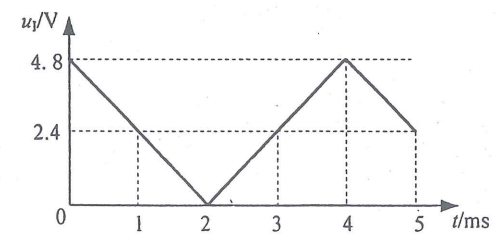
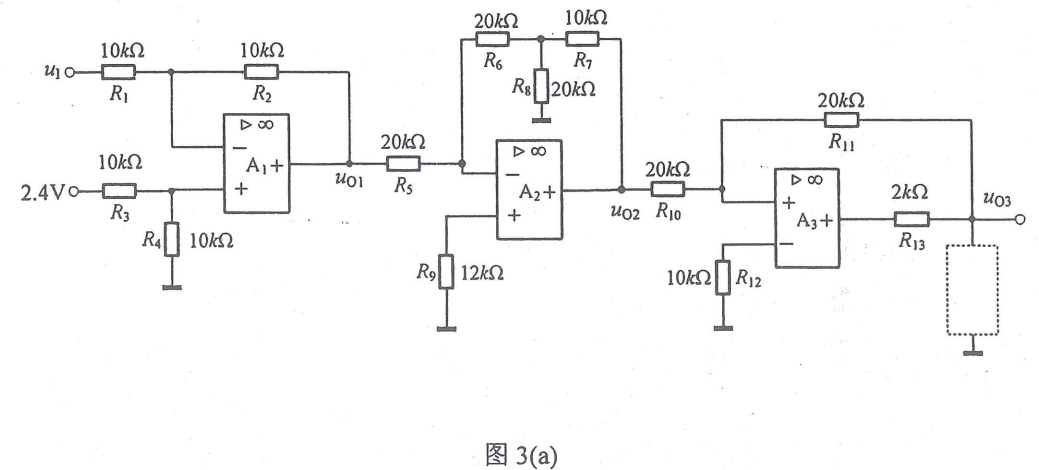


二、(共 25 分) 电路如图 2(a) 所示, 设  $\beta_1 = \beta_2 = \beta_3 = 100$ , 所有三极管的  $|U_{BE}| = 0.7\text{V}$ , 当  $u_i = 0$  时,  $u_o = 0\text{V}$ 。

- 估算电路各级的静态电流  $I_E$ 、 $I_{C1}$ 、 $I_{C2}$ 、 $I_{C3}$ , 管压降  $U_{CE1}$ 、 $U_{CE2}$ 、 $U_{CE3}$  和  $R_{e2}$  的值。
- 写出电路总的电压增益  $A_U = A_{UD2} \cdot A_{U2}$ 、差模输入电阻  $R_{id}$ 、输出电阻  $R_o$  的表达式。
- 若要增大电路输入电阻, 需要引入何种类型的全局负反馈, 图 2(b) 的两个端点 A、B 应接入电路的何处?



三、(共 25 分) 电路如图 3(a) 所示, 设集成运放  $A_1$ 、 $A_2$ 、 $A_3$  为理想运放, 供电电源均为  $\pm 15\text{V}$ ,  $u_I$  的波形如图 3(b) 所示: (1) 请用两个  $U_Z = 1.8\text{V}$ 、正向导通压降为  $0.6\text{V}$  的稳压管设计一个电路, 放在图 3 所示虚线框中, 确保  $u_{O3}$  的输出电压为  $+3.6\text{V}$  和  $-1.2\text{V}$ ; (2) 试画出  $u_{O1}$ 、 $u_{O2}$ 、 $u_{O3}$  在  $0 < t < 5\text{ms}$  范围内的波形图。



四、(共 25 分) 填空题

- 逻辑函数  $F(A,B,C,D) = \overline{A}BCD + \overline{A}BC + \overline{B}C + D + \overline{A}CD$ , 且  $\overline{A} + \overline{C} = 1$ , 其最简与或表达式为 ( ① )。
- 比较两个 2 位二进制数  $A(A_1A_0)$  和  $B(B_1B_0)$  的大小, 用逻辑函数  $F(A_1, A_0, B_1, B_0)$  表示两数不相等, 其反函数的最小项之和为  $\overline{F(A_1, A_0, B_1, B_0)} = \sum m$  ( ② )。
- 如果选用 4 个上升沿触发的 JK 触发器设计一个分频电路, 当输入时钟信号频率为 2048Hz 时, 则该分频电路输出信号的频率最小值为 ( ③ ) Hz。
- 由 74138 和与非门构成的电路如图 4 (a) 所示, 其中 74138 为输出低电平有效的 3 线-8 线译码器, 则图 4(a) 电路输出表达式的最小项之和为  $F(A,B,C,D) = \sum m$  ( ④ )。
- 某存储单元电路的状态转换图如图 4 (b) 所示 (图中 X 表示 0 或者 1), 则该存储单元电路的状态方程是 ( ⑤ )。

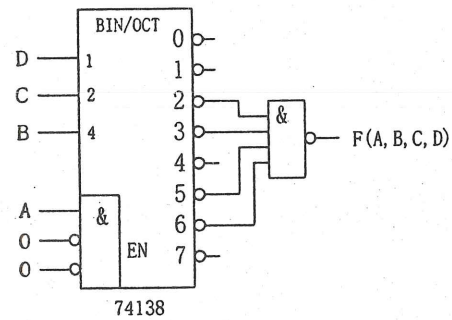


图 4 (a)

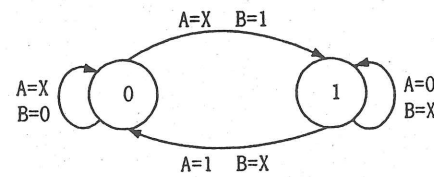


图 4 (b)

五、(共 25 分) 分析图 5 所示的时序逻辑电路。

- 写出图 5 虚线方框内的各触发器的驱动方程。
- 写出图 5 虚线方框内的各触发器的状态方程。
- 画出图 5 虚线方框内电路的完整状态转换图 (要求画成  $Q_2Q_1Q_0 \rightarrow$ )。
- 画出图 5 所示电路在连续 12 个 CP 脉冲信号作用下,  $F_c$  端的输出波形 (设各触发器初始状态均为 0)。

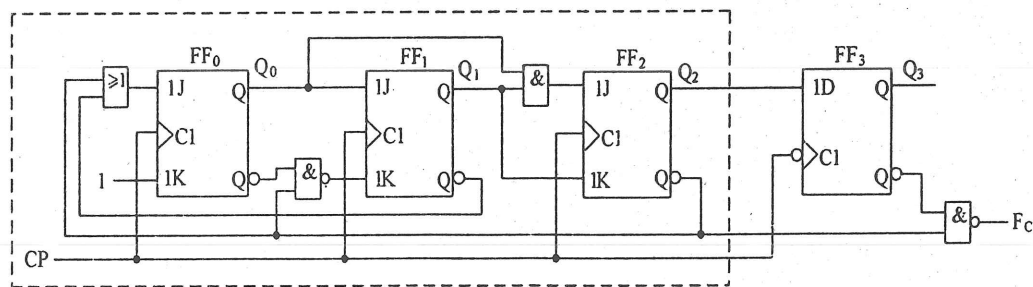


图 5

六、(共 25 分) 如图 6 (a) 所示的三个器件: 74161、7485、非门。74161 是四位同步二进制加法计数器, 功能表如图 6 (b) 所示; 7485 是四位数值比较器, 输入  $A_3A_2A_1A_0$  和  $B_3B_2B_1B_0$  是两个相比较的四位二进制数,  $I_{(A>B)}$ 、 $I_{(A=B)}$ 、 $I_{(A<B)}$  是另外两个低位数比较结果的级联输入端, 输出变量  $Y_{(A>B)}$ 、 $Y_{(A=B)}$ 、 $Y_{(A<B)}$  是比较结果。

- 用图 6 (a) 中所示的一片 7485, 设计一个 8421BCD 码的非法码 (0~9 以外的四位二进制代码) 检测器。当输入为 8421BCD 码的非法码时, 该检测器的输出为 1, 否则输出为 0。请写出设计过程, 画出设计电路图。
- 用图 6 (a) 中所示的三个器件: 74161、7485、非门, 每个器件只能使用一次, 设计实现如图 6 (c) 所示计数状态的功能。请写出设计过程, 画出设计电路图。

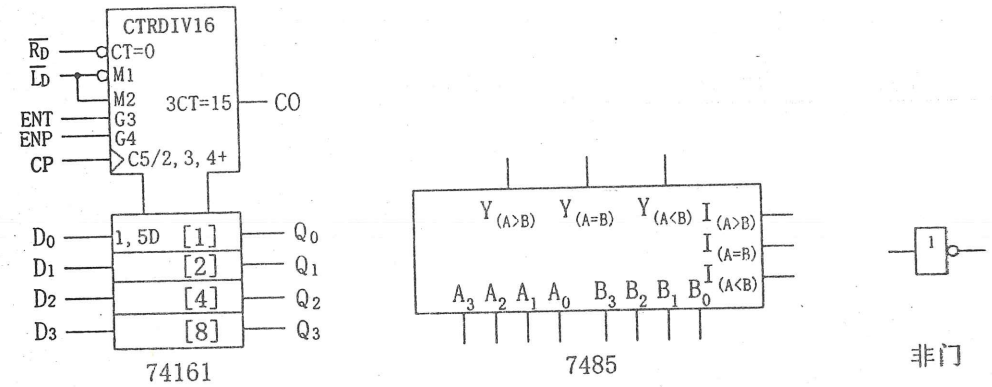


图 6 (a)

74161 功能表

CP	$\overline{R_0}$	$\overline{L_0}$	ENP	ENT	功能
x	0	x	x	x	异步清零
↑	1	0	x	x	同步置数
x	1	1	0	1	保持 (包括 CO 的状态)
x	1	1	x	0	保持 (CO=0)
↑	1	1	1	1	加计数

图 6 (b)

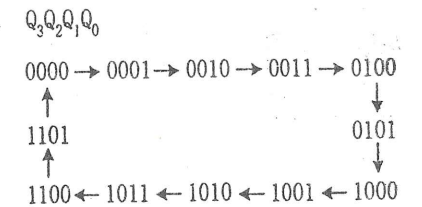


图 6 (c)